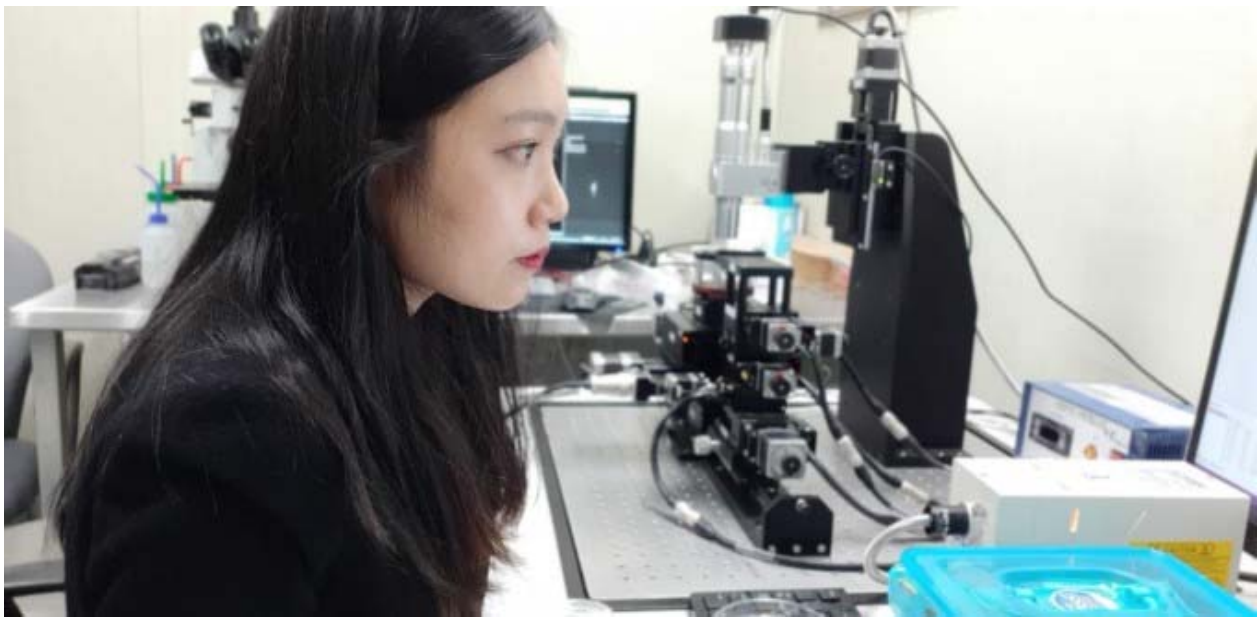


삼성도 반했다, 계산 속도 빠르고 소비전력 낮은 '다진법 반도체'

2019.10.28 06:27



박진홍 성균관대 교수와 임지혜 연구원(사진)과 함께 4진법으로 작동하는 논리회로를 만들어 '네이처 커뮤니케이션스'에 발표했다.
임지혜 연구원 제공

정부는 메모리반도체에 지나치게 의존하는 국내 정보통신기술(ICT) 산업 생태계를 바꾸기 위해 4월 차세대 반도체를 육성하기로 하고 시스템반도체를 집중 지원할 뜻을 밝혔다. 이달 24일에도 김성수 과학기술정보통신부 과기혁신본부장이 8개 기술 분야 연구현장을 릴레이로 방문할 계획을 밝히고 첫 방문지로 대전 KAIST 소재 한국나노종합기술원의 시스템반도체 연구 현장을 찾았다.

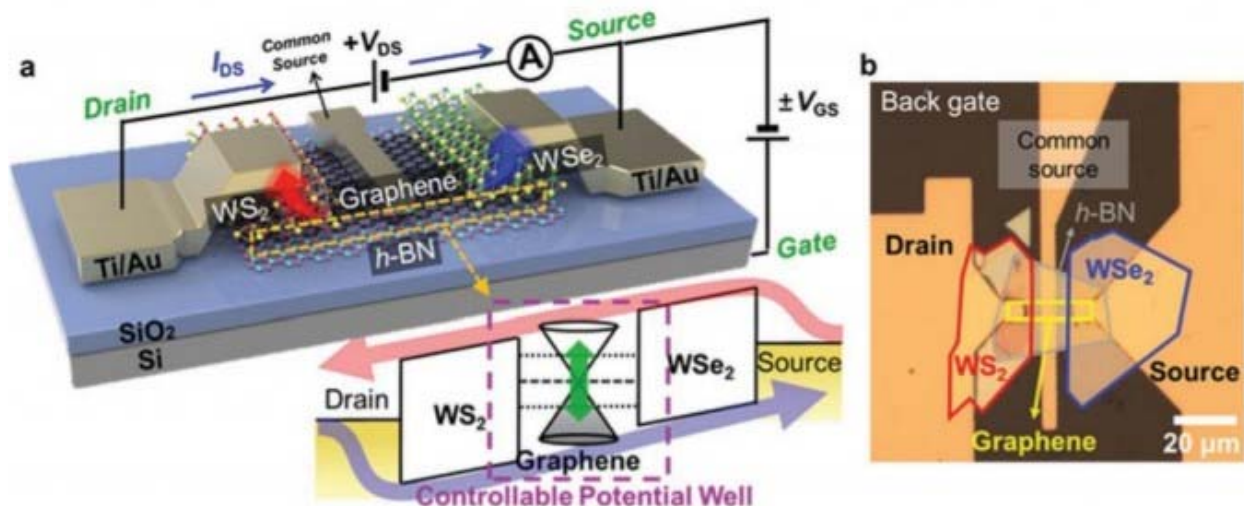
최근 정부가 시스템반도체에 주목하면서 시스템반도체가 한국의 차세대 반도체의 주역으로 떠오르고 있다. 하지만 차세대 반도체에는 그 외에 다른 기발한 반도체도 많다. 최근 과학자들은 신경세포의 작동 방식을 흉내 낸 신경모방(뉴로모픽) 반도체와, 디지털과 전혀 다른 셈법인 3진법이나 4진법을 이용하는 다(多)진법 반도체를 연구하고 있다. 0과 1 두 가지 숫자로 정보를 처리하는 대신에 0, 1, 2의 세 가지 숫자나 0, 1, 2, 3의 네 가지 숫자로 정보를 처리하는

다진법 반도체는 세계적으로 한국 연구자들이 선두에서 개척하고 있는 반도체의 '블루오션'이기도 하다.

다진법 반도체는 현재의 반도체가 갖는 최대 약점 중 하나인 발열 문제를 해결할 수 있을 것으로 기대된다. 현재의 반도체 소자는 크기를 줄이면 양자역학적 효과로 전류가 원래 회로에서 다른 쪽으로 새어 나가는(누설전류) 문제가 있다. 이는 반도체의 소비전력을 증가시켜 열을 발생시킨다.

다진법 반도체는 정보를 저장하기 위해 필요한 공간을 줄여 이 문제를 해결한다. 예를 들어 숫자 128은 2진법으로는 10000000으로 표시돼 8자리 숫자가 필요하다. 정보처리에 8개 공간이 필요한 셈이다. 하지만 3진법으로 환산하면 11202로 5자리, 4진법으로 환산하면 2000으로 4자리면 된다. 4진법을 활용하는 회로를 만들면 기존 2진법 회로보다 소자를 50%만 써도 같은 기능을 수행할 수 있다. 반도체칩을 작고 빠르게 전력을 적게 소모하게 만들 수 있다.

박진홍 성균관대 전기전자공학부 교수는 이런 다진법 반도체를 개척하고 있는 대표적인 학자다. 박 교수는 "컴퓨터 내부의 중앙처리장치(CPU)를 보면 정보 저장과 연산을 담당하는 부분이 각각 있는데 현재는 모두 2진법 체계로 저장하고 처리된다"며 "패러다임을 바꿔 이들을 부분적으로 3진법이나 4진법, 5진법 반도체로 대체해 나가고자 연구하고 있다"고 말했다.



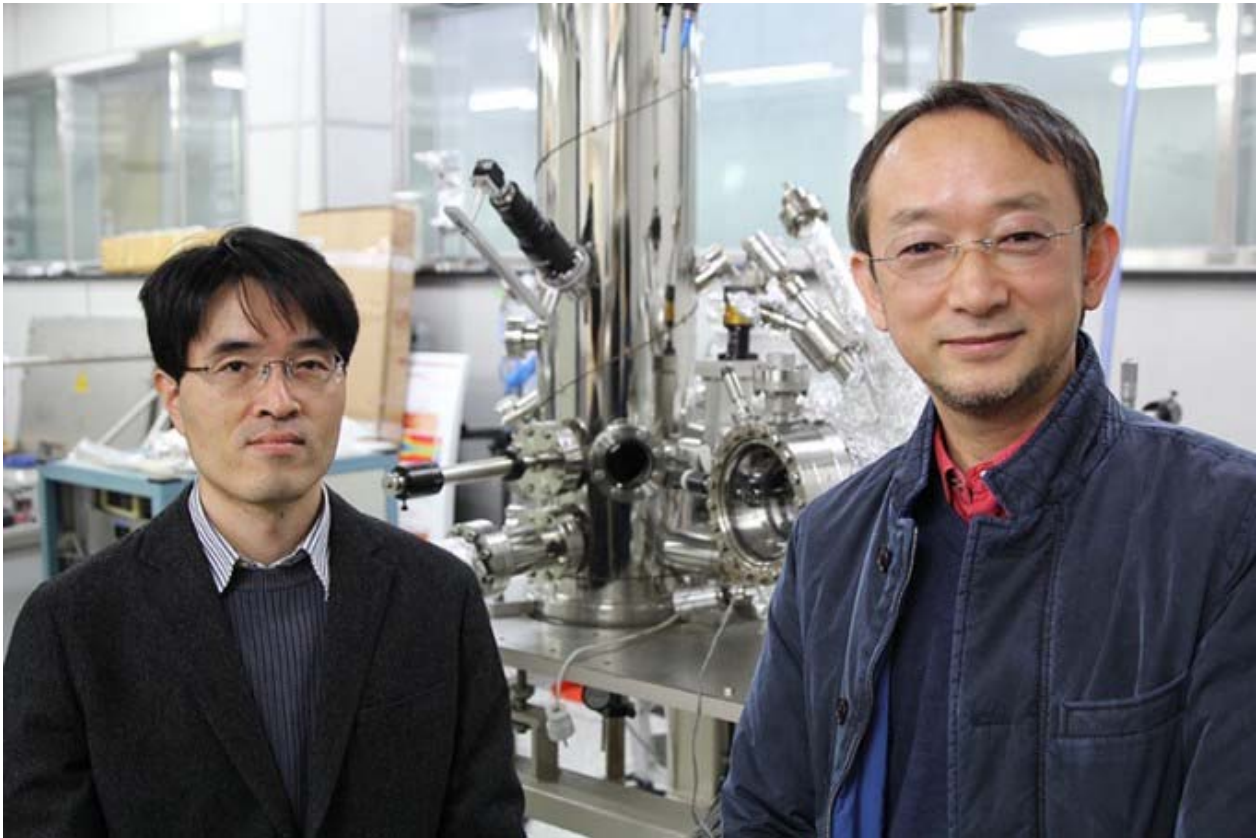
박진홍 성균관대 교수팀이 개발한 4진법 논리회로의 구조다. 개념 검증을 한 뒤 4진법을 구현할 수 있는 소자를 찾고 개발하는 과정을 거치고 있다. 임지혜 학생 제공

현재는 반도체 회로를 구성하는 단위인 논리회로(게이트)를 구현하는 연구를 하고 있다. 예를 들어 1이라는 정보가 들어오면 이것을 반대인 0으로 바꾸는 과정을 수행하는 'NOT' 게이

트'를 3진법이나 4진법 소자로 구현하는 식이다. 2017년에는 3진법으로 이런 논리회로를 만들었고, 9월에는 학부생인 임지혜 연구원과 함께 4진법으로 작동하는 논리회로를 만들어 '네이처 커뮤니케이션스'에 발표했다. 박 교수는 "현재 다진법 반도체 논리회로의 개념을 먼저 검증한 뒤, 실리콘이나 국내 기업이 개발한 산화물 반도체를 이용해 이를 구현하는 소자를 만들고 있다"고 말했다.

김경록 울산과학기술원(UNIST) 전기전자컴퓨터공학부 교수도 박 교수와 함께 다진법 반도체를 연구 중이다. 김 교수는 3진법으로 구동하는 상보성금속산화막반도체(CMOS·시모스)를 개발해 세계 최초로 대면적 실리콘 웨이퍼에서 구현하는 데 성공해 7월 '네이처 일렉트로닉스'에 발표했다. 김 교수 팀은 반도체 집적화를 방해하는 '골칫덩이'인 누설전류를 이용해 3진법을 구현하는 역발상을 했다. 누설전류의 양을 측정한 뒤 그 정도를 3단계로 나눠 각각을 하나의 정보를 표현하는 기본 단위로 삼는 식이다. 김 교수와 박 교수의 다진법 반도체는 미래 소자로서의 잠재성을 인정받아 2017년부터 삼성미래기술육성사업으로 지원받고 있다. 삼성전자는 파운드리사업부 팹(FAB)에서 미세공정으로 김 교수의 3진법 반도체 구현을 검증하고 있다.

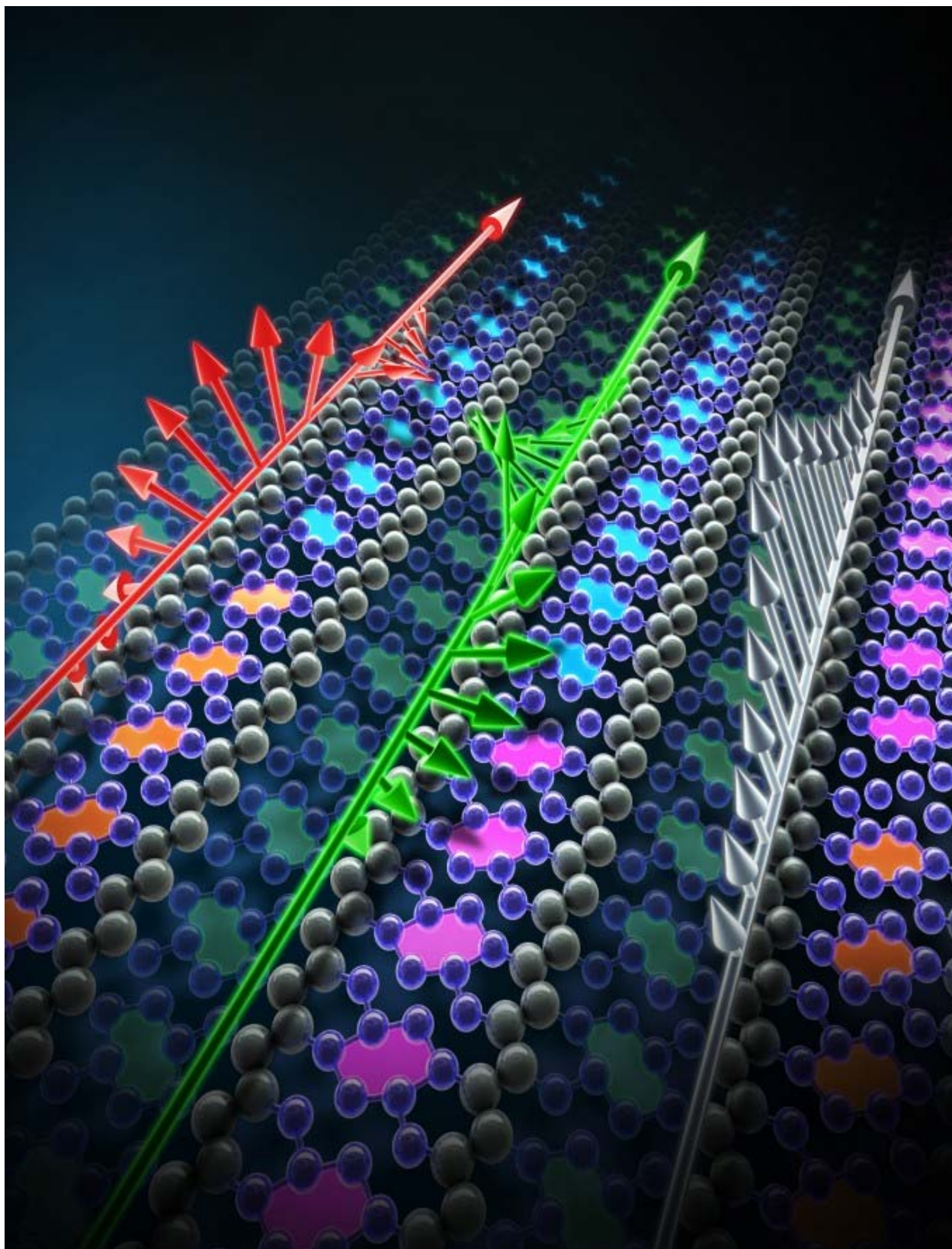
좀 더 근본적으로 다진법 반도체를 구현하는 새로운 물질을 발굴하는 연구자도 있다. 다진법을 구현하려면 여러 종류의 정보를 표시하고 처리할 수 있는 다양한 상태를 보이는 새로운 물질이 필요한데, 이 물질을 개발하는 것이다.



염한웅 기초과학연구원(IBS) 원자제어 저차원 전자계 연구단장(포스텍 물리학과 교수, 오른쪽)과 김태환 포스텍 물리학과 교수는 원자 굵기의 인듐 선을 이용해 '솔리톤'이라는 물질을 구현했다. 꼬인 방향에 따라 3가지 솔리톤이 존재해 총 4가지 정보를 처리하는 다진법 반도체를 구현할 소재로 활용할 수 있을 것으로 기대된다. IBS 제공

염한웅 기초과학연구원(IBS) 원자제어 저차원 전자계 연구단장(포스텍 물리학과 교수)과 김태환 포스텍 물리학과 교수팀은 2015년 '솔리톤'이라는 물질을 발견해 '사이언스'에 발표했다. 솔리톤은 인듐 원자를 한 줄로 배열한 10억분의 1m 굵기의 긴 끈 모양 물질 두 개가 만나는 경계 지점이다. 이 안에 전자 하나가 갇히는데, 이 전자의 상태로 정보를 저장하고 처리한다.

솔리톤은 끈이 꼬인 방향에 따라 3종류가 있어서 솔리톤 1, 2, 3과 아무것도 없는 상태까지 총 네 가지 정보 표현이 가능하다. 2017년에는 이를 이용해 4진법 연산에 이용할 수 있음을 보여 '네이처 피직스'에 발표했다. 염 단장은 "이 물질을 차세대 소자로 만들기 위해서는 논리연산이 가능해야 한다"며 "물질의 성질 자체로 여러 단계의 저항값을 갖는 등 소자화에 적합한 물질을 찾는 연구를 계속하고 있다"고 말했다.



꼬인(카이럴) 상태가 서로 다른 세 가지 상태를 이루는 카이럴 솔리톤의 개념도다. 인듐 원자선 두 개 사이에 전자가 하나 갇힐 수 있는 공간이 나온다. 여기에 카이럴 솔리톤이 형성되고, 솔리톤 없는 상태까지 4가지 상태를 전자 하나로 표현하고 연산할 수 있다. IBS 제공

윤신영 기자 ashilla@donga.com

Copyright © Dongascience. All rights reserved.